

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-186477

(43)Date of publication of application : 02.08.1988

(51)Int.Cl.

H01L 29/78

H01L 21/76

H01L 27/10

(21)Application number : 62-018995

(71)Applicant : FUJITSU LTD

(22)Date of filing : 29.01.1987

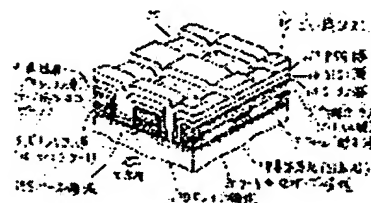
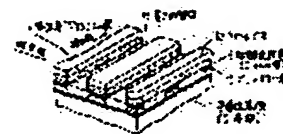
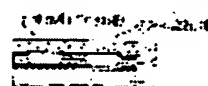
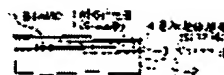
(72)Inventor : HASEGAWA YOSHIKI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To make the field threshold voltage of an EPROM high and to enable the manufacture process to be shortened by forming a field oxide film for element isolation by oxidation of the polysilicon layer on a semiconductor substrate.

CONSTITUTION: A first insulating film layer 2 is formed on a semiconductor substrate 1, and after forming an ion-implantation region 8, a polysilicon layer 3 and a second insulating film layer 4 are formed, an acid-resistant film 5 is deposited thereon, and a first opening 6 is provided in the film 5 and an oxidation treatment is performed to selectively oxidize the polysilicon layer 3, thereby forming a field oxide film 7 in the shape of a grating. Then, after depositing a conductor layer 9, the conductor layer 9 on the laterally extending field oxide film 7 is removed to form a second opening 11, then the field oxide film 7 and the first insulating film 2 in the second opening 11 are selectively removed to expose the semiconductor substrate 1, and an impurity is ion-implanted into the surface of the semiconductor substrate 1 to form a source region 19S and a drain region 19D.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A)

昭63-186477

⑤ Int.Cl.⁴H 01 L 29/78
21/76
27/10

識別記号

3 7 1
4 3 3

庁内整理番号

7514-5F
M-7131-5F
8624-5F

⑬ 公開 昭和63年(1988)3月2日

審査請求 未請求 発明の数 1 (全8頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 昭62-18995

⑯ 出 願 昭62(1987)1月29日

⑰ 発 明 者 長 谷 川 芳 樹 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑱ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑲ 代 理 人 弁 理 士 井 桁 貞 一

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

半導体基板(1)上の第1の絶縁膜層(2)を形成し、不純物イオンを注入してイオン注入領域(8)を形成する工程と、

前記第1の絶縁膜層(2)上に順次、ポリシリコン層(3)、第2の絶縁膜層(4)を形成し、更にこの上に耐酸化性膜(5)を被覆し、この耐酸化性膜(5)に第1の開口(6)を設け酸化処理を行うことにより、第1の開口(6)の領域のポリシリコン層(3)を選択的に酸化し、表面より第1の絶縁膜層(2)に達する、縦横に交叉する格子状配列のフィールド酸化膜(7)を形成する工程と、

この上に、導体層(9)を被覆した後、横方向に延びるフィールド酸化膜(7)の領域上の導体層(9)を除去して、第2の開口(11)を形成

する工程と、

ついで、第2の開口(11)内におけるフィールド酸化膜(7)および第1の絶縁膜層(2)を選択的に除去して、半導体基板(1)を表出せしむる工程と、

前記半導体基板(1)の表面に不純物をイオン注入し、ソース領域(19S)とドレイン領域(19D)を形成する工程とを、

有していることを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(目次)

概要

産業上の利用分野

従来の技術

発明が解決しようとする問題点

問題点を解決するための手段

作用

実施例

本発明におけるE P R O M形成工程を説明するための模式図 (第1図(a) ~ (h))

~~従来例におけるE P R O M形成工程を説明するための模式図 (第2図(a) ~ (h))~~

発明の効果

(概要)

E P R O M(Erasable Programmable Read Only Memory)において、素子間分離のフィールド酸化膜を半導体基板上のポリシリコン層の酸化により形成し、フィールド閾値電圧を高くし、フローティングゲートをフィールド酸化膜と同時にセルフアライン的に形成し、また、 V_{th} 制御用イオン注入とチャンネルカット用イオン注入が同時で済むので、工程短縮が可能となる。

(産業上の利用分野)

本発明はE P R O Mの製造方法に係わり、詳しくは、メモリエルの素子間分離とフローティングゲートを、同時にセルフアライン的に形成する方法に関する。

は第2図(h)に示すY方向における断面図、第2図(f-2)、(g)は第2図(h)に示すX方向における断面図、第2図(h)は斜視図である。

第2図(a)はSi基板上に Si_3N_4 膜を形成した状態を示す。

この図において、1はP型のSi基板で、これを熱酸化して表面に厚さ約500Åの SiO_2 膜31を形成する。ついで、CVD法により厚さ約1500Åの Si_3N_4 膜5を被着形成する。

第2図(b)はイオン注入によりチャンネルカットイオン注入領域を形成した状態を示す。

フォトリソストを塗布して通常のリソグラフィック技術によりパターンニングした後、RIEによる異方性エッチングにより Si_3N_4 膜5に開口32を形成し、 SiO_2 膜31を露出する。異方性エッチングはガス: CF_4 、 $+O_2$ による。

Si_3N_4 膜5をマスクにし、 SiO_2 膜31を透過してボロン(B^+)イオン注入を行い、開口32の部分のSi基板1の表面層にチャンネルカットイオン注入領域33を形成する。

半導体集積回路をよりコンパクトに、より集積度を高く、より低廉にすることは時代の趨勢であり、そのために種々の努力がなされており、E P R O Mに対しても同様である。

従来のE P R O Mは、フィールド酸化膜の下にチャンネルカット領域を形成するために、Si基板上の Si_3N_4 膜に開口を形成してチャンネルカット用の不純物イオンを注入した後に熱酸化によりフィールド酸化膜を形成するため、チャンネルカット用の不純物がフィールド酸化膜に取り込まれ、フィールド閾値電圧が低くなる欠点がある。

本発明は注入不純物イオンがフィールド酸化膜に取り込まれることのない、且つイオン注入工程を一回減少出来る方法を提供しようとするものである。

(従来の技術)

第2図(a)~(h)は従来例におけるE P R O M形成工程を説明するための模式図である。

第2図(a)、(b)、(c)、(d)、(e)、(f-1)

第2図(c)はフィールド酸化膜を形成した状態を示す。

Si_3N_4 膜5をマスクとして熱酸化してSi基板1の開口32の部分にフィールド酸化膜7を厚さ約6000Å形成する。

このフィールド酸化膜7は縦方向(この図においては、紙面に垂直な方向)に長い矩形パターンに形成される。この矩形パターンの長辺は、ソース領域相互の間隔に等しい長さをもつ。

このフィールド酸化膜7の形成により、前工程でイオン注入されたチャンネルカットイオン注入領域33の B^+ イオンのうち多くのものがフィールド酸化膜7の中に取り込まれ、Si基板1内に残るものは僅かとなる。

第2図(d)は Si_3N_4 膜除去後、 B^+ イオン注入により V_{th} 制御イオン注入領域を形成した状態を示す。

熱磷酸により Si_3N_4 膜5を除去したのち、 B^+ イオン注入を行い、Si基板1の表面層領域でフィールド酸化膜7の形成されていない領域にチャネ

ル部の閾値電圧調整のための V_{th} 制御イオン注入領域8を形成する。

第2図(e)はポリシリコン層を被着後、パターニングし表面酸化した状態を示す。

CVD法により厚さ約2000Åのポリシリコン層を被着し、これにガス拡散により焼をドーピングした後、パターニングしてポリシリコン層3を形成する。このポリシリコン層3のパターンは、横方向には、2つの相隣るフィールド酸化膜7に跨がってかかり、縦方向には、フィールド酸化膜7の全長さをカバーする長さのものである。

ついで、熱酸化してポリシリコン層3の表面に厚さ約400Åの SiO_2 膜34を形成する。

第2図(f-1)はコントロールゲート用ポリシリコン層を被着し、ポリシリコン層を異方性エッチングしてパターニングした状態を示す。

CVD法により厚さ約4000Åのポリシリコン層9を被着形成し、これに焼を拡散によりドーピングする。

ついで、マスクングしてフローティングゲート、

これにより、横方向(この図では紙面に対し垂直方向)に長く延びる、開口35Sと開口35Dを交互に形成する。開口35Sの底は SiO_2 膜31で形成され、開口35Dの底は SiO_2 膜31とフィールド酸化膜7で形成されている。

ポリシリコン層3はフローティングゲートとなるもので、横方向にはフィールド酸化膜7の上で終端するので矩形形状のパターンをもち、ポリシリコン層9は横方向に長く延びたコントロールゲートを兼ねたワード線を形成する。

第2図(g)はポリシリコン層表面を酸化した後、イオン注入を行い、ソース、ドレインイオン注入領域を形成した状態を示す。

この図は前の図、第2図(f-2)と同じ方向の断面におけるものである。

この図において、熱酸化して厚さ約200Åの SiO_2 膜36をポリシリコン層3とポリシリコン層9の表面に形成する。

ついで、砒素(As^+)イオン注入を行い、開口35Sの底のSi基板1の表面層にソースイオン

コントロールゲートを形成するためのポリシリコン層9からポリシリコン層3までの開口を形成する。この状況を、この図のA・1-A・2断面を示す第2図(f-2)により説明する。

第2図(f-2)において、フォトリソスト(図示していない)のマスクにより異方性エッチングを行う。まず、ガスとして $SiCl_4$ を用いたRIEによりポリシリコン層9をエッチングする。これにより SiO_2 膜34が露出する。(このとき、フィールド酸化膜7の上にあっては、フィールド酸化膜7が露出する。)

つぎに、ガスを CCl_4 に切り替えて SiO_2 膜34を約400Åエッチングして除去する。(このとき、フィールド酸化膜7の上にあっては、フィールド酸化膜7自身がエッチングされるが、元の厚さが厚いので僅かに凹むに過ぎない。)

再びガスを $SiCl_4$ に切り替えてポリシリコン層3をエッチングすることにより SiO_2 膜31を表出する。(このとき、フィールド酸化膜7の上には変化なし。)

注入領域15Sを、開口35Dの底の SiO_2 膜31の下下のSi基板1の表面層にはドレインイオン注入領域15Dを形成する。

これらイオン注入領域は、イオン注入後の熱処理を受けることにより活性化され、ソースイオン注入領域15S、ドレインイオン注入領域15Dは夫々、ソース領域19S、ドレイン領域19Dとなる。

第2図(h)は SiO_2 膜、PSG膜を被覆後、コンタクトホールを開口しアルミニウム(Al)電極を形成した状態の斜視図である。

CVD法で SiO_2 膜16を厚さ約2000Å被着し、ついでPSG(Phospho-Silicate Glass)膜17を厚さ約8000Å、CVD法で被着形成する。

ついで、PSG膜17、 SiO_2 膜16、 SiO_2 膜31に開口してコンタクトホールを形成した後、Alを厚さ約1μm被着し、パターニングしてビット線18を形成する。このビット線18は縦方向に長く延びる線条のパターンをもつ。

(発明が解決しようとする問題点)

従来例におけるE P R O Mの形成方法によると、フィールド酸化膜の下にチャネルカット領域を形成するために、Si基板上の Si_3N_4 膜に開口を形成してチャネルカット用の不純物イオンを注入した後、熱酸化によりフィールド酸化膜を形成するため、チャネルカット用の不純物がフィールド酸化膜に取り込まれ、フィールド閾値電圧が低くなる欠点がある。

(問題点を解決するための手段)

上記問題点の解決は、半導体基板上の第1の絶縁膜層を形成し、不純物イオンを注入してイオン注入領域を形成する工程と、前記第1の絶縁膜層上に順次、ポリシリコン層、第2の絶縁膜層を形成し、更にこの上に耐酸化性膜を被覆し、この耐酸化性膜に第1の開口を設け酸化処理を行うことにより、第1の開口の領域のポリシリコン層を選択的に酸化し、表面より第1の絶縁膜層に達する、縦横に交叉する格子状配列のフィールド酸化膜を

化に預からないので、この領域の不純物はそのままとなる。

ついで、コントロールゲートとなる導体層をパターンニングして形成した後、ソース領域、ドレイン領域形成用の開口をフィールド酸化膜に設け、イオン注入してE P R O Mを形成する。

(実施例)

第1図(a)~(h)は本発明におけるE P R O M形成工程を説明するための模式図である。

これら図において、第2図と同じ対象物は同じ符号で示す。

第1図(a)、(b)、(c)、(g)は第1図(h)におけるX方向からみた断面図である。第1図(d)、(e)、(f)、(h)は斜視図である。

第1図(a)はSi基板上に第1の絶縁膜層を設け、イオン注入してイオン注入領域を形成した状態を示す。

この図において、1は半導体基板でP型のSi基板である。これを熱酸化して表面に厚さ約400

形成する工程と、この上に、導体層を被覆した後、横方向に延びるフィールド酸化膜の領域上の導体層を除去して、第2の開口を形成する工程と、ついで、第2の開口内におけるフィールド酸化膜および第1の絶縁膜層を選択的に除去して、半導体基板を表出せしむる工程と、前記半導体基板の表面に不純物をイオン注入し、ソース領域とドレイン領域を形成する工程とを有している本発明による半導体装置の製造方法により達成される。

(作用)

半導体基板上に第1の絶縁膜を形成したのち、イオン注入によりイオン注入領域を形成し、ついで前記第1の絶縁膜の上にポリシリコン層を形成し、耐酸化性膜をマスクにしたLOCOS(LOCAl Oxidation of Silicon)法でフィールド酸化膜を形成すると同時に、耐酸化性膜の下にポリシリコンのフローティングゲートを形成するもので、フィールド酸化膜形成は第1の絶縁膜の上のポリシリコン層のみによって行われ、Si基板中のSiは酸

Aの第1の絶縁膜層2の SiO_2 膜を形成する。

ついで、 B^+ イオン注入を行いSi基板1の表面層にVth制御用のイオン注入領域8を形成する。このイオン注入領域8はチャネルカットの役も果たす。

第1図(b)はポリシリコン層、第2の絶縁膜層を被覆した後、その上に開口を設けた Si_3N_4 膜を形成した状態を示す。

ポリシリコン層3をCVD法で厚さ約2000Å被着し、これに磷(P)をドーピングする。

この表面に第2の絶縁膜層4として SiO_2 膜を熱酸化により厚さ約200Å形成する。

この上にCVD法で耐酸化性膜5として Si_3N_4 膜を厚さ約300Å被着し、通常のフォトリソグラフィ技術によりパターンニングした後、RIEによる異方性エッチングにより Si_3N_4 膜5に第1の開口6を形成し、 SiO_2 膜4を表出する。異方性エッチングはガス: $\text{CF}_4 + \text{O}_2$ による。

第1図(c)はフィールド酸化膜を形成した後、導体層を被着した状態を示す。

耐酸化性膜の Si_3N_4 膜 5 をマスクにして選択酸化を行い、第 1 の開口 6 の領域のポリシリコン層 3 を SiO_2 膜 2 に達するまで酸化し、フィールド酸化膜 7 を形成する。このフィールド酸化膜 7 は Si 基板 1 の上に縦横に交叉した格子状に形成され、 Si_3N_4 膜 5 の下にはポリシリコン層 3 が、この格子状のフィールド酸化膜 7 に囲まれた状態で形成される。

その上に、導体層としてポリシリコン層 9 を CVD 法で厚さ約 4000 Å 被着形成し、焼をドーブする。

第 1 図 (d) はフォトレジストをマスクにして導体層をエッチングし、パターニングした状態を示す。

フォトレジスト 10 を塗布し、パターニングした後、 SiCl_4 ガスを用いてポリシリコン層 9 を RIE による異方性エッチングを行い、第 2 の開口 11 を形成し、下部のフィールド酸化膜 7 を表出させる。この第 2 の開口 11 は、この図に示す横方向に長く延びるフィールド酸化膜 7 の上に形成

基板 1 を表出し、第 3 の開口 13 を形成する。異方性エッチングは CCl_4 ガスを使用して行う。

第 1 図 (g) はフォトレジスト除去後、シリコン露出部に SiO_2 膜を形成し、イオン注入によりソース、ドレインイオン注入領域を形成した状態を示す。

フォトレジスト 10 と 12 を除去した後、熱酸化してシリコン露出部に厚さ約 200 Å の SiO_2 膜 14 を形成する。

ついで、 As^+ イオン注入を行い、Si 基板 1 の表出部領域にソースイオン注入領域 15 S とドレインイオン注入領域 15 D を形成する。

これらイオン注入領域は、イオン注入後熱処理を受けることにより活性化され、ソースイオン注入領域 15 S、ドレインイオン注入領域 15 D、イオン注入領域 8 は夫々、ソース領域 19 S、ドレイン領域 19 D、Vth 制御ドーブ領域 20 となる。

第 1 図 (h) は SiO_2 膜、PSG 膜を被覆後、コンタクトホールを開口しアルミニウム (Al) 電極を

されたものである。

第 1 図 (e) はドレイン領域限定用のフォトレジストのパターンを形成した状態を示す。

前工程で使用したフォトレジスト 10 に重ねてドレイン領域限定用のフォトレジスト 12 のパターンを形成する。このフォトレジスト 12 は第 2 の開口 11 のうち、ソース領域を形成する開口は被覆せず、ドレイン領域が形成される開口の一部を被覆する。第 2 の開口 11 において、ソース領域形成用開口と、ドレイン領域形成用開口は一つ置きに交互に形成されている。従って、このフォトレジスト 12 のパターンは、第 2 の開口 11 のうちドレイン領域形成用開口において、縦方向に延びるフィールド酸化膜 7 の上を被覆するものである。

第 1 図 (f) は SiO_2 膜を異方性エッチングした状態を示す。

フォトレジスト 10 とフォトレジスト 12 をマスクにして RIE により SiO_2 の異方性エッチングを行い、 SiO_2 よりなるフィールド酸化膜 7 下の Si

形成した状態を示す。

ここにおける工程は、従来例における第 2 図 (h) に述べた工程と同様である。即ち、CVD 法で SiO_2 膜 16 を厚さ約 2000 Å 被着し、ついで PSG 膜 17 を厚さ約 8000 Å、CVD 法で被着形成する。

ついで、PSG 膜 17、 SiO_2 膜 16、 SiO_2 膜 14 に開口してコンタクトホールを形成した後、Al を厚さ約 1 μm 被着し、パターニングしてビット線 18 を形成する。このビット線 18 は縦方向に長く延びる線条のパターンをもつ。

前記実施例では導体層として、ポリシリコンを使用した。これは高融点金属のシリサイドを使用してもよい。

また、第 1 図 (e) においては、フォトレジスト 12 のパターンは、フォトレジスト 10 を残した上に形成しているが、これはフォトレジスト 10 を除去後でも可である。即ち、導体層 9 が異方性エッチングにより SiO_2 のフィールド酸化膜 7 および第 1 の絶縁膜層 2 をエッチングするとき侵され

ないようにガスを選択すればよい。

かくして形成されたEPRMにおいては、フィールド酸化膜7の下のSi基板1の中のVth制御ドープ領域20はチャネルカットの役目も持つもので、従来例のようにフィールド酸化膜の中に不純物を取り込まれることがなく、フィールド閾値電圧を高い値に維持出来る。

又、従来例にあつては、ポリシリコン層3による段差がある上にポリシリコン層9を被着形成しているため、上層のポリシリコン層9に断線の恐れがあった。しかし、本発明の方法によれば、ポリシリコン層9は段差の少ない表面上に形成されるので、このポリシリコン層9の断線の危険は殆どなくなる。

〔発明の効果〕

以上詳細に説明したように、本発明によれば、素子間分離のフィールド酸化膜とフローティングゲートをセルフアライン的に形成し、チャネルカットの役目も兼ねるVth制御用のイオン注入の不

純物はフィールド酸化膜に取り込まれることがないので、フィールド閾値電圧を高いままに維持出来、このためフィールド酸化膜の幅を狭くすることが可能となり、またイオン注入工程はチャネルカット用とチャネル部のVth制御用が同時になるため、イオン注入工程が1回少なくなり、工程短縮となる。さらに、コントロールゲート用ポリシリコン層(ワード線)の下地段差が小さくなり、これの断線の恐れが殆どなくなる。

4. 図面の簡単な説明

第1図(a)～(h)は本発明におけるEPRM形成工程を説明するための模式図、

第2図(a)～(h)は従来例におけるEPRM形成工程を説明するための模式図である。

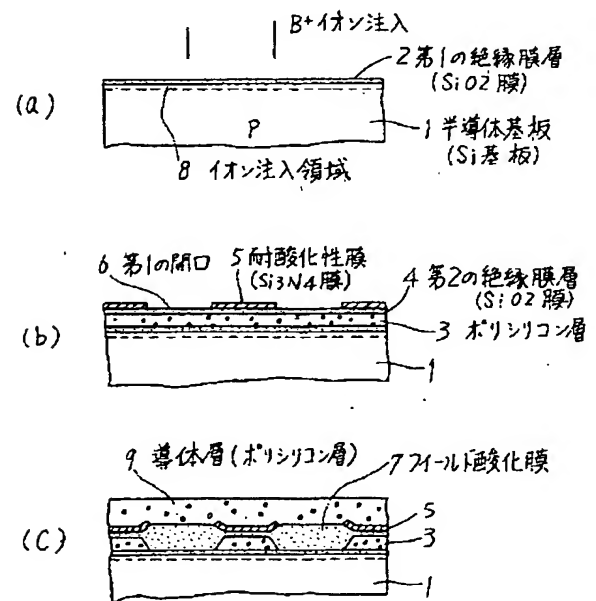
これら図において、

- 1は半導体基板(Si基板)、
- 2は第1の絶縁膜層(SiO₂膜)、
- 3はポリシリコン層(フローティングゲート)、
- 4は第2の絶縁膜層(SiO₂膜)、

- 5は耐酸化性膜(Si₃N₄膜)、
- 6は第1の開口、
- 7はフィールド酸化膜、
- 8はイオン注入領域、
- 9は導体層(ポリシリコン層)(ワード線、コントロールゲート)、
- 10、12はフォトリソ、
- 11は第2の開口、
- 13は第3の開口、
- 14、16はSiO₂膜、
- 15Sはソースイオン注入領域、
- 15Dはドレインイオン注入領域、
- 17はPSG膜、
- 18はビット線(Al)、
- 19Sはソース領域、
- 19Dはドレイン領域、
- 20はVth制御ドープ領域

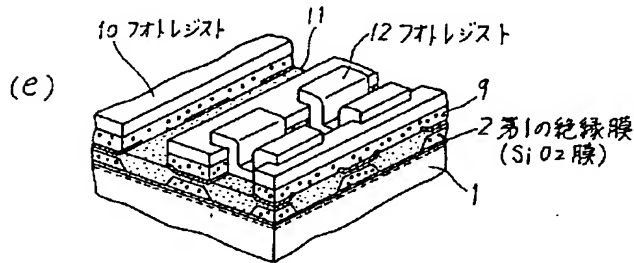
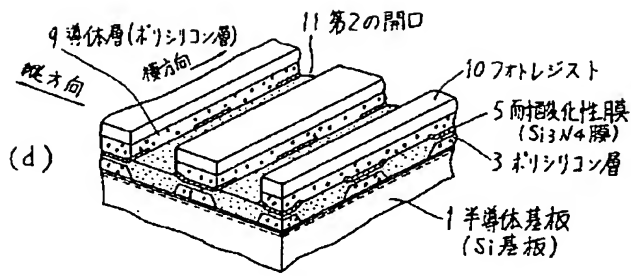
である。

代理人 弁理士 井桁貞一



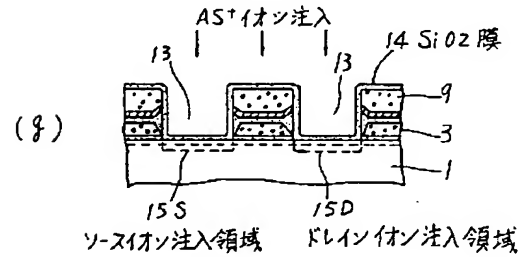
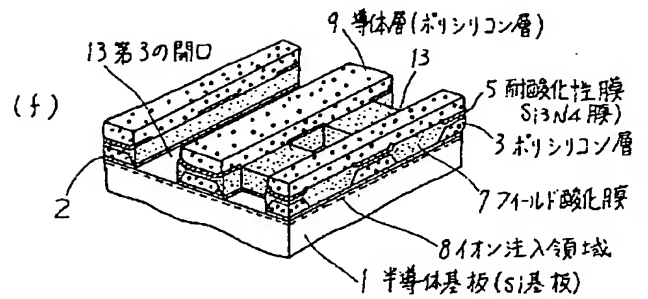
本発明におけるEPRM形成工程を説明するための模式図

第1図



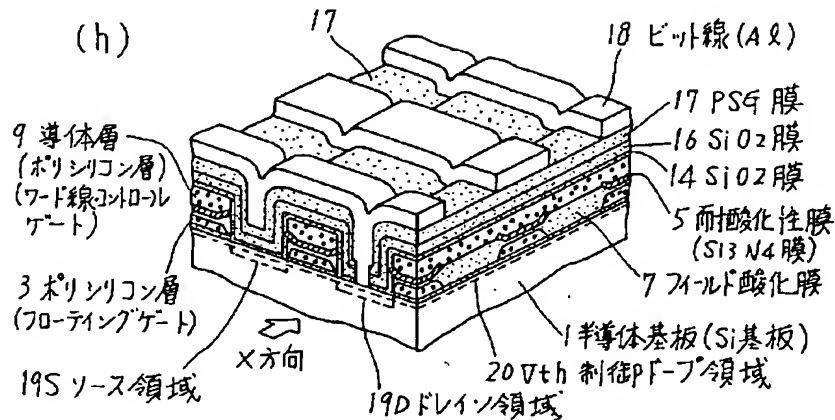
本発明におけるEPROM形成工程を説明するための模式図

第 1 図



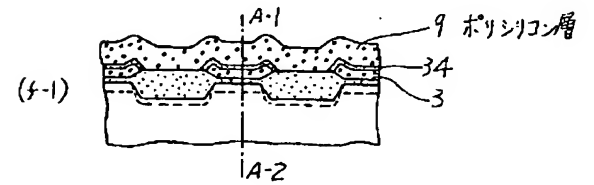
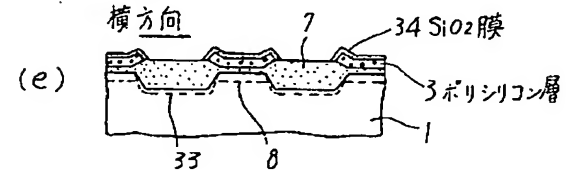
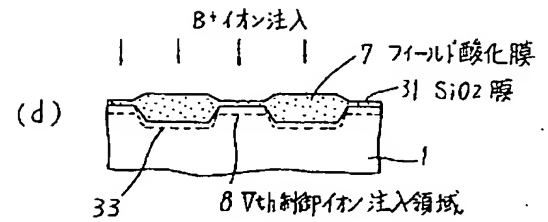
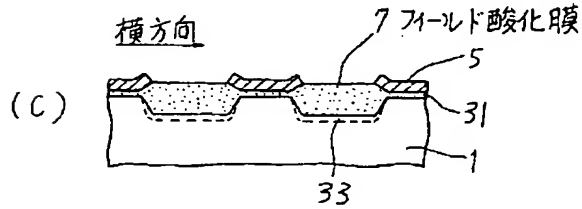
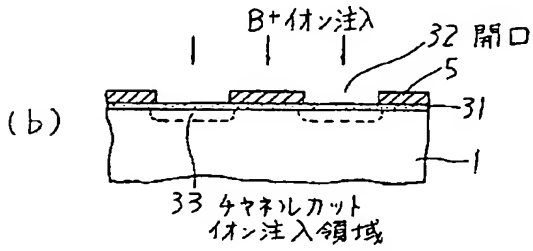
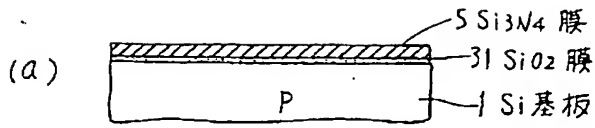
本発明におけるEPROM形成工程を説明するための模式図

第 1 図



本発明におけるEPROM形成工程を説明するための模式図

第 1 図

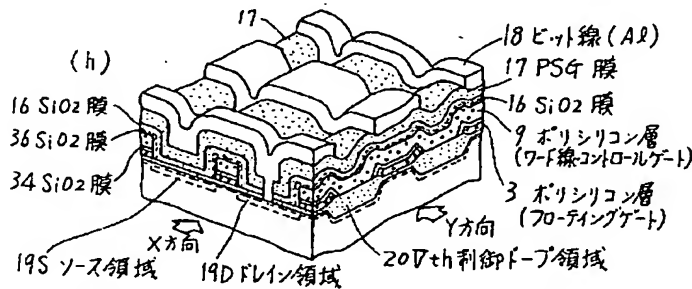
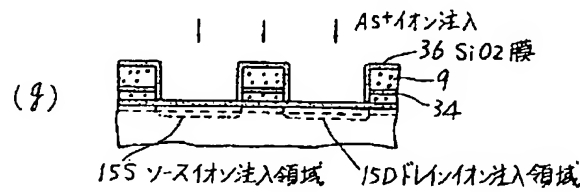
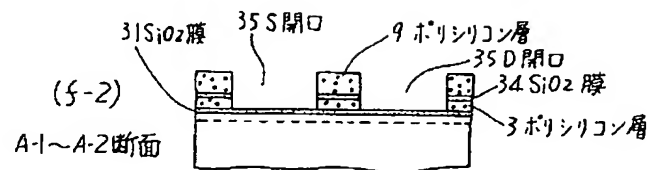


従来例におけるEPROM形成工程を説明する
ための模式図

第 2 図

従来例におけるEPROM形成工程を説明
するための模式図

第 2 図



従来例におけるEPROM形成工程を説明するための
模式図

第 2 図